

K1921BG11T – микроконтроллер архитектуры RISC-V SCR4 с 1 Мб Flash-памяти, 256 Кб ОЗУ, ADC, PWM, CAP, QEP, ACMP, TRNG, CRYPTO, HASH, CRC, QSPI, SPI, UART, I2C, LIN, CAN, CANFD.

Особенности

- Сброс и питание:
 - напряжение питания: 2,8 В – 3,3 В;
 - температурный диапазон: (-40 – 105)°С;
 - POR, BOR;
- Ядро: RISC-V SCR4 RV32IMAFDC
 - до 120 МГц;
- Тактовые сигналы:
 - внутренний осциллятор HSE для подключения внешнего резонатора от 2 МГц до 27 МГц;
 - внутренний RC-генератор HSI: 4 МГц;
 - системная PLL: от 200 кГц до 120 МГц;
 - внутренний RC-генератор блока RTC: 32кГц.
- 64 вывода I/O.
- Память:
 - по 32 Кб кэш команд и данных;
 - 64 Кб TCM память;
 - 1 Мб основной Flash-памяти с ECC;
 - 256 Кб памяти ОЗУ с ECC;
- Аналоговая периферия:
 - 13-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора
 - датчик температуры TSENSOR, подключаемый к одному из входов АЦП;
 - три аналоговых компаратора ACMP.
- Контроллер DMA: 24 канала.
- Контроллеры интерфейсов:
 - пять приемопередатчиков UART;
 - контроллер CAN 2.0b (4 узла);
 - два контроллера CAN FD (по 1 узлу в каждом);
 - три контроллера LIN;
 - два контроллера I2C;
 - два контроллера SPI;
 - контроллер QSPI;
- Шестнадцать таймеров 32-разрядных.
- Блок часов реального времени RTC.
- Сторожевой таймер WDT.
- Три двухканальных и шесть одноканальных блока ШИМ (PWM).
- Шесть блоков захвата/сравнения CAP.
- Квадратурный декодер QEP.
- Блок CRYPTO: AES-128; AES-256, Кузнечик, Магма.
- Блок генерации случайных чисел TRNG.
- Блок HASH: SHA-1, SHA-224, SHA-256, MD5.
- Блок подсчета CRC: CRC7, CRC8, CRC16, CRC32.
- Интерфейс отладки: JTAG. Отладчики: Olimex ARM-USB-OCD-H, J-Link V9, CMSIS-DAP, FT2232.
- Корпус LQFP100.

Структурная схема микроконтроллера K1921BG11T показана на рисунке 1.

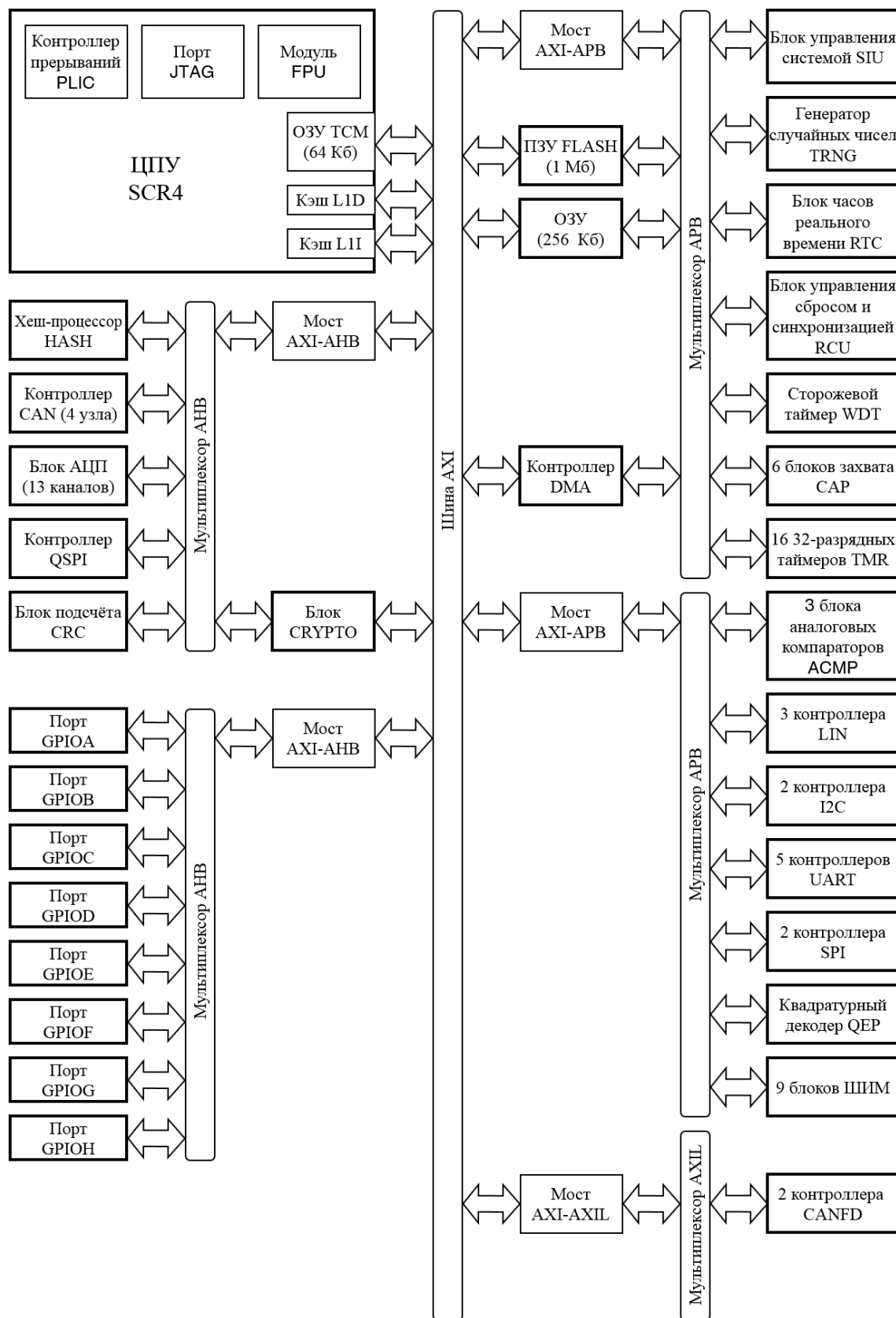


Рисунок 1 – Структурная схема микроконтроллера K1921BG11T

Состав микроконтроллера K1921BG11T

В состав микроконтроллера K1921BG11T входят функциональные элементы:

- 32-разрядное ЦПУ с поддержкой набора одноцикловых команд умножения с накоплением, команд централизованного управления потоком данных, арифметических и логических команд, встроенным модулем обработки команд с плавающей запятой с одинарной точностью FPU, поддержкой отладочного интерфейса JTAG;
- блок ОЗУ с выделенным для ядра портом доступа (TCM) на 64 Кбайт;
- блок управления сбросом и синхронизацией RCU, имеющий в своем составе RC-генератор (4 МГц) и 3 синтезатора частоты PLL;
- блок управления системой SIU;
- основная Flash-память объемом 1 Мбайт с кодом коррекции ECC для хранения кода программ (FLASH);
- кэш команд и кэш данных объемом по 32 Кбайт каждый;
- ОЗУ объемом 256 Кбайт с кодом коррекции ECC;
- 24-канальный контроллер прямого доступа к памяти (DMA);
- восемь порта ввода-вывода A, B, C, D, E, F, G, H (GPIOA – GPIOH) имеющих различную разрядность. 8-разрядный GPIOA (A0, A2, A4, A6, A9, A11, A13, A15), 8-разрядный GPIOB (B1, B3, B5, B6, B8, B10, B12, B14), 10-разрядный GPIOC (C0-C5, C10-C13), 6-разрядный GPIOD (D6-D7, D12-D15), 6-разрядный GPIOE (E10-E15), 8-разрядный GPIOF (F6-F7, F10-F15), 14-разрядный GPIOG (G0-G9, G11-G12, G14-G15), 4-разрядный GPIOH (H0-H3);
- шестнадцать 32-разрядных таймеров с блоком захвата/сравнения и возможностью генерации ШИМ (TMR0 – TMR15);
- девять ШИМ-модуляторов (PWM0 – PWM8);
- 13-канальный 12-разрядный быстродействующий АЦП с режимами цифрового компаратора (ADC);
- датчик температуры TSENSOR, подключаемый к одному из входов АЦП;
- три аналоговых компаратора (ACMP0 – ACMP2);
- шесть блоков захвата/сравнения (CAP0 - CAP5);
- блок импульсного квадратурного декодера (QEP1);
- аппаратный истинный генератор случайных чисел (TRNG);
- HASH-процессор (HASH);
- аппаратный блок для подсчёта циклического избыточного кода (CRC);
- модуль поддержки криптографических вычислений (CRYPTO);
- сторожевой таймер (WDT);
- блок RTC с батарейным питанием, тактированием от внешнего генератора 32,768 кГц, контролем генерации и автоматическим переходом на внутренний генератор в случае сбоев (RTC);
- супервизор питания POR/BOR;
- контроллеры интерфейсов:
 - пять приемопередатчиков UART (UART0 – UART3, UART5);
 - два контроллера SPI (SPI2 – SPI3);
 - контроллер QSPI (QSPI);
 - три контроллера LIN (LIN0, LIN1, LIN3);
 - два контроллера I2C (I2C0 – I2C1);
 - контроллер CAN 2.0B содержащий 4 узла (CAN);
 - два контроллера CANFD (CANFD0 – CANFD1), содержащие по одному узлу в каждом.

УГО и назначение выводов микроконтроллера K1921BG11T

Условное графическое обозначение микроконтроллера K1921BG11T приведено на рисунке 2. Функциональное назначение выводов микроконтроллера K1921BG11T приведено в таблицах 1 – 2, в которых приняты обозначения: I – вход, O – выход, I/O – вход/выход, Z – третье состояние.

Примечание – Альтернативные функции выводов портов A, B, C, D, E, F, G, H указаны в таблице 1.

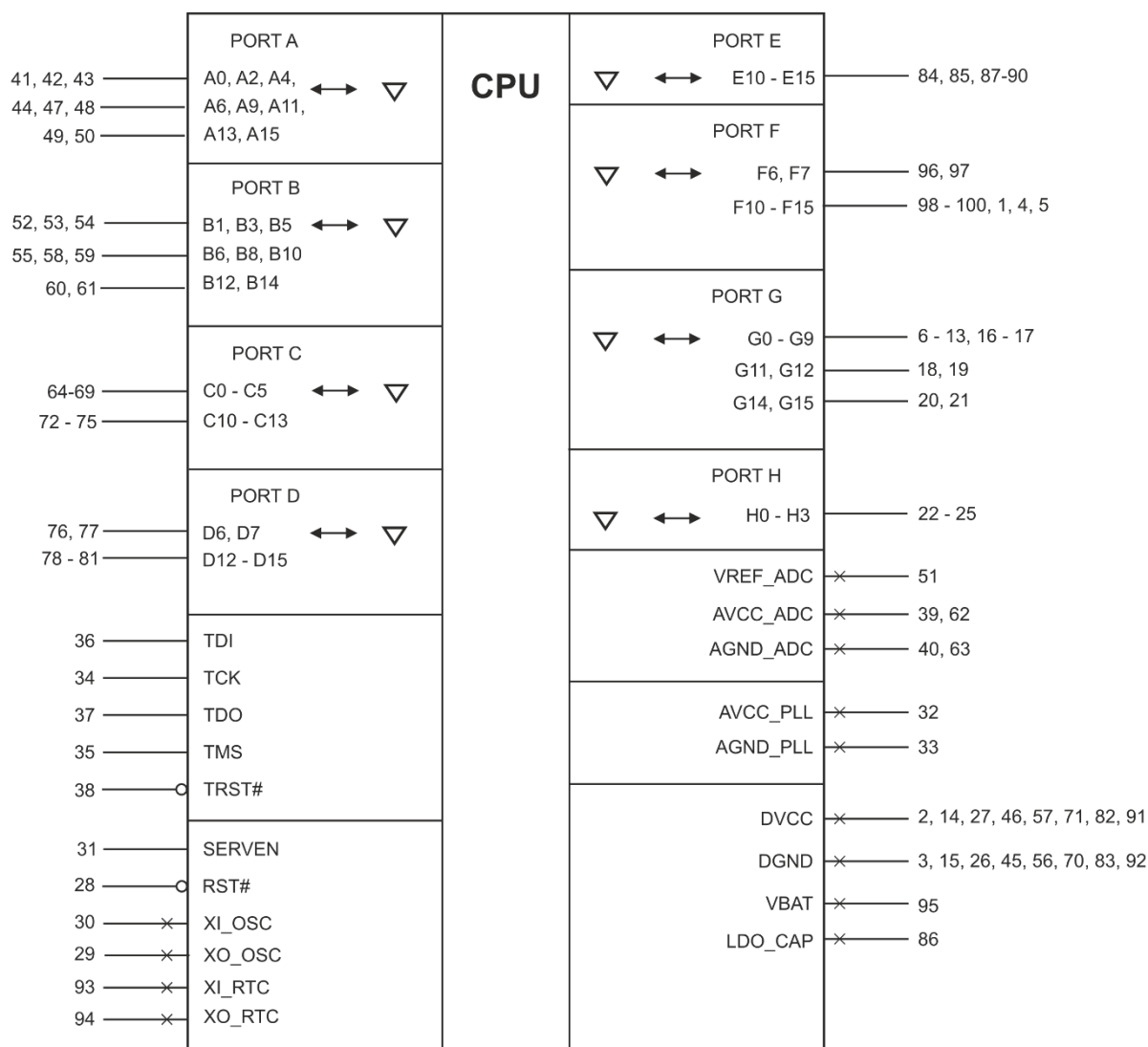


Рисунок 2 – Условное графическое обозначение микросхемы K1921BG11T

Т а б л и ц а 1 – Функциональное назначение выводов, имеющих альтернативные функции

Номер вывода	Обозначение		Функциональное назначение вывода	Тип вывода			
	вывода	Альтернативная функция					
		№ обозначение					
1	2	3	4	5	6		
41	A0	1	-	Вход/выход порта A, разряд 0	I/O/Z		
		2	QEP1_A	-	-		
		3	PWM0_A	Вход А блока QEP1	I		
		ADC_CH0	Выход А блока ШИМ0	O			
				Вход АЦП канал 0	I		
		42	A2	1	-	Вход/выход порта A, разряд 2	I/O/Z
				2	QEP1_I	-	-
				3	PWM1_A	Вход/выход индексный блока QEP1	I/O
ADC_CH2	Выход А блока ШИМ1			O			
				Вход АЦП канал 2	I		
		43	A4	1	-	Вход/выход порта A, разряд 4	I/O/Z
				2	EXTCLK	-	-
				3	PWM2_A	Вход дополнительного тактового сигнала	I/O
ADC_CH4	Выход А блока ШИМ2			O			
				Вход АЦП канал 4	I		
		44	A6	1	-	Вход/выход порта A, разряд 6	I/O/Z
				2	-	-	-
				3	PWM3_A	Выход А блока ШИМ3	O
ADC_CH6	Вход АЦП канал 6			I			
47	A9	1	-	Вход/выход порта A, разряд 9	I/O/Z		
		2	-	-	-		
		3	PWM4_B	Выход В блока ШИМ4	O		
		ADC_CH9	Вход АЦП канал 9	I			
48	A11	1	-	Вход/выход порта A, разряд 11	I/O/Z		
		2	-	-	-		
		3	PWM5_B	Выход В блока ШИМ5	O		
		ADC_CH11	Вход АЦП канал 11	I			
49	A13	1	-	Вход/выход порта A, разряд 13	I/O/Z		
		2	-	-	-		
		3	PWM6_B	Выход В блока ШИМ6	O		
		ADC_CH13	Вход АЦП канал 13	I			
50	A15	1	-	Вход/выход порта A, разряд 15	I/O/Z		
		2	-	-	-		
		3	PWM7_B	Выход В блока ШИМ7	O		
		ADC_CH15	Вход АЦП канал 15	I			
52	B1	1	-	Вход/выход порта B, разряд 1	I/O/Z		
		2	-	-	-		
		3	PWM8_B	Выход В блока ШИМ8	O		
		ADC_CH17	Вход АЦП канал 17	I			

Продолжение таблицы 1

1	2	3	4	5	6
53	B3	1	-	Вход/выход порта В, разряд 3	I/O/Z
		2	-	-	-
		3	PWM_TZ1	Вход сигнала аварии ШИМ, первый	I
			ADC_CH19	Вход АЦП канал 19	I
54	B5	1	-	Вход/выход порта В, разряд 5	I/O/Z
		2	-	-	-
		3	PWM_TZ3	Вход сигнала аварии ШИМ, третий	I
			ADC_CH21	Вход АЦП канал 21	I
55	B6	1	-	Вход/выход порта В, разряд 6	I/O/Z
		2	-	-	-
		3	PWM_SYNC	Вход внешнего синхросигнала для ШИМ	I
			ADC_CH21	Вход АЦП канал 22	I
58	B8	1	-	Вход/выход порта В, разряд 8	I/O/Z
		2	-	-	-
		3	ACMP1_OUT	Выход аналогового компаратора ACMP1	O
			ADC_CH24	Вход АЦП канал 24	I
59	B10	1	-	Вход/выход порта В, разряд 10	I/O/Z
		2	-	-	-
		3	LIN0_RX	Вход данных LIN0	I
			ADC_CH26	Вход АЦП канал 26	I
60	B12	1	-	Вход/выход порта В, разряд 12	I/O/Z
		2	-	-	-
		3	LIN1_RX	Вход данных LIN1	I
			ADC_CH28	Вход АЦП канал 28	I
61	B14	1	-	Вход/выход порта В, разряд 14	I/O/Z
		2	-	-	-
		3	LIN2_RX	Вход данных LIN2	I
			ADC_CH30	Вход АЦП канал 30	I
64	C0	1	-	Вход/выход порта С, разряд 0	I/O/Z
		2	UART0_RX	-	-
		3	CAN2_RX	Вход данных UART0	I
			ACMP0_INN	Вход данных CAN2 Инвертирующий вход аналогового компаратора 0	I
65	C1	1	-	Вход/выход порта С, разряд 1	I/O/Z
		2	UART0_TX	-	-
		3	CAN2_TX	Выход данных UART0	O
			ACMP0_INP	Выход данных CAN2 Неинвертирующий вход аналогового компаратора 0	O I
66	C2	1	-	Вход/выход порта С, разряд 2	I/O/Z
		2	UART1_RX	-	-
		3	CAN3_RX	Вход данных UART1	I
			ACMP1_INN	Вход данных CAN3 Инвертирующий вход аналогового компаратора 1	I

Продолжение таблицы 1

1	2	3	4	5	6
67	C3	1 2 3	- UART1_TX CAN3_TX ACMP1_INP	Вход/выход порта C, разряд 3 - Выход данных UART1 Выход данных CAN3 Неинвертирующий вход аналогового компаратора 1	I/O/Z - O O I
68	C4	1 2 3	- UART2_RX LIN3_RX ACMP2_INN	Вход/выход порта C, разряд 4 - Вход данных UART2 Вход данных LIN3 Инвертирующий вход аналогового компаратора 2	I/O/Z - I I I
69	C5	1 2 3	- UART2_TX LIN3_TX ACMP2_INP	Вход/выход порта C, разряд 5 - Выход данных UART2 Выход данных LIN3 Неинвертирующий вход аналогового компаратора 2	I/O/Z - O O I
72	C10	1 2 3	PWM_TZ1 UART5_RX SPI3_CLK	Вход/выход порта C, разряд 10 Вход сигнала аварии ШИМ, первый Вход данных UART5 Вход/выход синхронизации SPI3	I/O/Z I I I/O
73	C11	1 2 3	PWM_TZ2 UART5_TX SPI3_FSS	Вход/выход порта C, разряд 11 Вход сигнала аварии ШИМ, второй Выход данных UART5 Вход/выход выбора устройства SPI3	I/O/Z I O I/O
74	C12	1 2 3	PWM_TZ3 CAN0_RX SPI3_RX	Вход/выход порта C, разряд 12 Вход сигнала аварии ШИМ, третий Вход данных CAN0 Вход данных SPI3	I/O/Z I I I
75	C13	1 2 3	PWM_SYNCI CAN0_TX SPI3_TX	Вход/выход порта C, разряд 13 Вход внешнего синхросигнала для блоков ШИМ Выход данных CAN0 Выход данных SPI3	I/O/Z I O O
76	D6	1 2 3	PWM4_A SPI0_RX UART5_RX	Вход/выход порта D, разряд 6 Выход А блока ШИМ4 Вход данных SPI0 Вход данных UART5	I/O/Z O I I
77	D7	1 2 3	PWM4_B SPI0_TX UART5_TX	Вход/выход порта D, разряд 7 Выход В блока ШИМ4 Выход данных SPI0 Выход данных UART5	I/O/Z O O O
78	D12	1 2 3	PWM7_A SPI2_CLK CANFD0_RX	Вход/выход порта D, разряд 12 Выход А блока ШИМ7 Вход/выход синхронизации SPI2 Вход данных CANFD0	I/O/Z O I/O I
79	D13	1 2 3	PWM7_B SPI2_FSS CANFD0_TX	Вход/выход порта D, разряд 13 Выход В блока ШИМ7 Вход/выход выбора устройства SPI2 Выход данных CANFD0	I/O/Z O I/O O
80	D14	1 2 3	PWM8_A SPI2_RX CANFD1_RX	Вход/выход порта D, разряд 14 Выход А блока ШИМ8 Вход данных SPI2 Вход данных CANFD1	I/O/Z O I I

Продолжение таблицы 1

1	2	3	4	5	6
81	D15	1 2 3	PWM8_B SPI2_TX CANFD1_TX	Вход/выход порта D, разряд 15 Выход В блока ШИМ8 Выход данных SPI2 Выход данных CANFD1	I/O/Z O O O
84	E10	1 2 3	QEP0_I I2C1_SDA -	Вход/выход порта E, разряд 10 Вход/выход индексный блока QEP0 Вход/выход данных I2C1 -	I/O/Z I/O I/O -
85	E11	1 2 3	QEP0_S I2C1_SCL -	Вход/выход порта E, разряд 11 Вход/выход стробирования блока QEP0 Вход/выход синхронизации I2C1 -	I/O/Z I/O I/O
87	E12	1 2 3	QEP1_A SPI3_CLK -	Вход/выход порта E, разряд 12 Вход А блока QEP1 Вход/выход синхронизации SPI3 -	I/O/Z I I/O -
88	E13	1 2 3	QEP1_B SPI3_FSS -	Вход/выход порта E, разряд 13 Вход В блока QEP1 Вход/выход выбора устройства SPI3 -	I/O/Z I I/O
89	E14	1 2 3	QEP1_I SPI3_RX -	Вход/выход порта E, разряд 14 Вход/выход индексный блока QEP1 Вход данных SPI3 -	I/O/Z I/O I -
90	E15	1 2 3	QEP1_S SPI3_TX -	Вход/выход порта E, разряд 15 Вход/выход стробирования блока QEP1 Выход данных SPI3 -	I/O/Z I/O O
96	F6	1 2 3	I2C0_SDA LIN3_RX -	Вход/выход порта F, разряд 6 Вход/выход данных I2C0 Вход данных LIN3 -	I/O/Z I/O O -
97	F7	1 2 3	I2C0_SCL LIN3_TX -	Вход/выход порта F, разряд 7 Вход/выход синхронизации I2C0 Выход данных LIN3 -	I/O/Z I/O O
98	F10	1 2 3	CAP0_IO QSPI_CLK -	Вход/выход порта F, разряд 10 Вход/выход CAP0 Вход/выход синхронизации QSPI -	I/O/Z I/O I/O -
99	F11	1 2 3	CAP1_IO QSPI_FSS -	Вход/выход порта F, разряд 11 Вход/выход CAP1 Вход/выход выбора устройства QSPI -	I/O/Z I/O I/O -
100	F12	1 2 3	CAP2_IO QSPI_IO0 -	Вход/выход порта F, разряд 12 Вход/выход CAP2 Вход/выход данных QSPI, разряд 0 -	I/O/Z I/O I/O -
1	F13	1 2 3	CAP3_IO QSPI_IO -	Вход/выход порта F, разряд 13 Вход/выход CAP3 Вход/выход данных QSPI, разряд 1 -	I/O/Z I/O I/O -

Продолжение таблицы 1

1	2	3	4	5	6
4	F14	1 2 3	CAP4_IO QSPI_IO2 -	Вход/выход порта F, разряд 14 Вход/выход CAP4 Вход/выход данных QSPI, разряд 2 -	I/O/Z I/O I/-O
5	F15	1 2 3	CAP5_IO QSPI_IO3 -	Вход/выход порта F, разряд 15 Вход/выход CAP5 Вход/выход данных QSPI, разряд 3 -	I/O/Z I/O I/O -
6	G0	1 2 3	CAN0_RX TMR6_IO -	Вход/выход порта G, разряд 0 Вход данных CAN0 Вход/выход TMR6 -	I/O/Z I/O I/O -
7	G1	1 2 3	CAN0_TX TMR7_IO -	Вход/выход порта G, разряд 1 Выход данных CAN0 Вход/выход TMR7 -	I/O/Z O I/O -
8	G2	1 2 3	CAN1_RX TMR8_IO -	Вход/выход порта G, разряд 2 Вход данных CAN1 Вход/выход TMR8 -	I/O/Z I I/O
9	G3	1 2 3	CAN1_TX TMR9_IO -	Вход/выход порта G, разряд 3 Выход данных CAN1 Вход/выход TMR9 -	I/O/Z O I/O -
10	G4	1 2 3	QSPI_CLK TMR10_IO -	Вход/выход порта G, разряд 4 Вход/выход синхронизации QSPI Вход/выход TMR10 -	I/O/Z I/O I/O
11	G5	1 2 3	QSPI_FSS TMR11_IO -	Вход/выход порта G, разряд 5 Вход/выход выбора устройства QSPI Вход/выход TMR11 -	I/O/Z I/O I/O
12	G6	1 2 3	QSPI_IO0 TMR12_IO -	Вход/выход порта G, разряд 6 Вход/выход данных QSPI, разряд 0 Вход/выход TMR12 -	I/O/Z I/O I/O -
13	G7	1 2 3	QSPI_IO1 TMR13_IO -	Вход/выход порта G, разряд 7 Вход/выход данных QSPI, разряд 1 Вход/выход TMR13 -	I/O/Z I/O I/O
16	G8	1 2 3	QSPI_IO2 TMR14_IO -	Вход/выход порта G, разряд 8 Вход/выход данных QSPI, разряд 2 Вход/выход TMR14 -	I/O/Z I/O I/O -
17	G9	1 2 3	QSPI_IO3 TMR15_IO -	Вход/выход порта G, разряд 9 Вход/выход данных QSPI, разряд 3 Вход/выход TMR15 -	I/O/Z I/O I/O -
18	G11	1 2 3	TMR1_IO QEP0_B -	Вход/выход порта G, разряд 11 Вход/выход TMR1 Вход В блока QEP0 -	I/O/Z I/O I -

Продолжение таблицы 1

1	2	3	4	5	6
19	G12	1 2 3	TMR2_IO QEP0_I -	Вход/выход порта G, разряд 12 Вход/выход TMR2 Вход/выход индексный блока QEP0 -	I/O/Z I/O I/O -
20	G14	1 2 3	TMR4_IO UART3_RX -	Вход/выход порта G, разряд 14 Вход/выход TMR4 Вход данных UART3 -	I/O/Z I/O I -
21	G15	1 2 3	CLKOUT UART3_TX -	Вход/выход порта G, разряд 15 Выход тактового сигнала CLKOUT Выход данных UART3 -	I/O/Z O O -
22	H0	1 2 3	LIN0_RX CANFD0_RX -	Вход/выход порта H, разряд 0 Вход данных LIN0 Вход данных CANFD0 -	I/O/Z I I -
23	H1	1 2 3	LIN0_TX CANFD0_TX -	Вход/выход порта H, разряд 1 Выход данных LIN0 Выход данных CANFD0 -	I/O/Z O O -
24	H2	1 2 3	LIN1_RX CANFD1_RX -	Вход/выход порта H, разряд 2 Вход данных LIN1 Вход данных CANFD1 -	I/O/Z I I -
25	H3	1 2 3	LIN1_TX CANFD1_TX -	Вход/выход порта H, разряд 3 Выход данных LIN1 Выход данных CANFD1 -	I/O/Z O O -
Примечания: 1) Входы блока АЦП ADC_CH0 – ADC_CH31, а также входы аналоговых компараторов ASCMPn_INN, ASCMPn_INP не являются альтернативными функциями и подключены к выводам GPIO постоянно. 2) В графе «Тип вывода» принятые условные обозначения: - I – вход, - O – выход, - Z – третье состояние.					

Т а б л и ц а 2 – Функциональное назначение выводов, не имеющих альтернативных функций

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода
1	2	3	4
30	XI_OSC	Вывод внешнего тактового сигнала	–
29	XO_OSC	Вывод внешнего тактового сигнала	–
28	RST#	Вход сигнала сброса	I
31	SERVEN	Вход сигнала активации сервисного режима	I
93	XI_RTC	Вывод для подключения кварцевого резонатора (32768 Гц)	–
94	XO_RTC	Вывод для подключения кварцевого резонатора (32768 Гц)	–
34	TCK	Вход тактового сигнала порта JTAG	I
36	TDI	Вход данных порта JTAG	I
37	TDO	Выход данных порта JTAG	O
35	TMS	Вход режима порта JTAG	I
38	TRST#	Вход сброса порта JTAG	I
39, 62	AVCC_ADC	Аналоговое питание АЦП 3,3 В	–
40, 63	AGND_ADC	Аналоговая земля АЦП	–
51	VREF_ADC	Опорное напряжение АЦП	–
32	AVCC_PLL	Аналоговое питание PLL 3,3 В	–
33	AGND_PLL	Аналоговая земля PLL	–
2, 14, 27, 46, 57, 71, 82, 91	DVCC	Вход подачи питания 3,3 В	–
3, 15, 26, 45, 56, 70, 83, 92	DGND	Цифровая земля	–
95	VBAT	Вход подключения батарейного питания	–
86	LDO_CAP	Вывод регулятора напряжения питания для подключения внешнего конденсатора	–

Примечания:

1) В графе «Тип вывода» принятые условные обозначения:

- I – вход,
- O – выход,
- Z – третье состояние

2) Сопротивление внутренних резисторов подтяжки Pull-up в диапазоне от 27 кОм до 65 кОм, типовое – 40 кОм. Сопротивление внутренних резисторов подтяжки Pull-down в диапазоне от 31 кОм до 84 кОм, типовое – 48 кОм.

Электрические параметры

Значение суммарного максимального тока по выводам портов ввода-вывода А, В, С, D, E, F, G, H не должно превышать 150 мА.

Микросхемы К1921ВГЗТ, К1921ВГ11Т устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В по ГОСТ РВ 5962-004.

Электрические параметры микросхем при приемке и поставке соответствуют нормам, приведенным в таблице 3.

Т а б л и ц а 3 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
1	2	3	4	5
1 Выходное напряжение низкого уровня буферов ввода/вывода, В, $I_{OL} = 6 \text{ мА}$, $U_{CC1} = 3,3 \text{ В}$	U_{OL}	–	0,4	–40 ± 3 25 ± 10 105 ± 5
2 Выходное напряжение высокого уровня буферов ввода/вывода, В, $I_{OH} = -6 \text{ мА}$, $U_{CC1} = 3,3 \text{ В}$	U_{OH}	$U_{CC1} - 0,4$	–	
3 Ток утечки низкого уровня по входам с отключенной схемой «pull-up» и «pull-down», мкА, $0 \text{ В} < U_I < U_{CC1}$	I_{LIL}	–1	–	
4 Ток утечки высокого уровня по выводам с отключенной схемой «pull-up» и «pull-down», мкА, $0 \text{ В} < U_I < U_{CC1}$	I_{LIH}	–	1	
5 Входной ток низкого уровня по выводам с подключенной схемой «pull-up», мкА, $0 \text{ В} < U_I < U_{CC1}$	I_{I1}	–200	–	
6 Входной ток высокого уровня по выводам с подключенной схемой «pull-down», мкА, $0 \text{ В} < U_I < U_{CC1}$	I_{I2}	–	200	
7 Динамический ток потребления по выводу DVCC в активном режиме, мА $U_{CC1} = 3,6 \text{ В}$, $f_{CI} = 120 \text{ МГц}$	I_{OCC}	–	100	
8 Ток потребления по выводу VBAT, мкА $U_{CC1} = U_{CC2} = 0 \text{ В}$, $U_{CC3} = 3,3 \text{ В}$	I_{VBAT}	–	10	
9 Максимальный ток потребления АЦП по аналоговому питанию AVCC ADC, мкА $U_{CC1} = U_{CC2} = 3,6 \text{ В}$, $F_S = 2,5 \text{ MSPS}$	I_{AVCC_ADC}	–	450	

Продолжение таблицы 3

1	2	3	4	5
10 Дифференциальная нелинейность АЦП, LSB $U_{CC1} = U_{CC2} = 3,3 \text{ В}, f_{CI} = 120 \text{ МГц}$	$E_{DNL \text{ ADC}}$	-2,5	2,5	-40 ± 3 25 ± 10 105 ± 5
11 Интегральная нелинейность АЦП, LSB $U_{CC1} = U_{CC2} = 3,3 \text{ В}, f_{CI} = 120 \text{ МГц}$	$E_{INL \text{ ADC}}$	-5,0	5,0	
12 Дифференциальная нелинейность ЦАП, LSB $U_{CC1} = U_{CC2} = 3,3 \text{ В}, f_{CI} = 120 \text{ МГц}$	$E_{DNL \text{ DAC}}$	-2	2	
13 Интегральная нелинейность ЦАП, LSB $U_{CC1} = U_{CC2} = 3,3 \text{ В}, f_{CI} = 120 \text{ МГц}$	$E_{INL \text{ DAC}}$	-2	2	
14 Гистерезис аналогового компаратора, мВ $U_{CC1} = U_{CC2} = 3,3 \text{ В}$	G	—	50	
15 Функциональный контроль $U_{CC1} = (3,0; 3,6) \text{ В}, f_{CI} = 120 \text{ МГц}$	ФК	—	—	

Необходимо соблюдать следующий порядок подачи напряжения питания: сначала подаются напряжения питания U_{CC1} , U_{CC2} , а затем входные напряжения низкого уровня U_{IL} и высокого уровня U_{IH} .

Порядок снятия напряжений с выводов микросхемы при выключении должен быть обратным подаче: первыми снимаются входные сигналы, а затем напряжения питания.

Допускается возможность одновременной подачи и снятия напряжений питания и напряжений входных сигналов.

Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур среды соответствуют нормам, приведенным в таблице 4.

Т а б л и ц а 4 – Значения предельно допустимых электрических режимов эксплуатации

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части, В	U_{CC1}	2,5	3,6	—	4,5
2 Напряжение питания аналоговой части, В	U_{CC2}	2,5	3,6	—	4,5
3 Батарейное напряжение питания, В	U_{CC3}	1,6	3,6	—	4,5
4 Входное напряжение низкого уровня, В	U_{IL}	-0,5	$0,3U_{CC1}$	-0,6	—
5 Входное напряжение высокого уровня, В	U_{IH}	$0,7U_{CC1}$	U_{CC1}	—	$U_{CC1}+0,6$
6 Выходной ток высокого уровня, мА	I_{OH}	-8,0	—	-10	—
7 Выходной ток низкого уровня, мА	I_{OL}	—	8,0	—	10
8 Частота следования импульсов тактового сигнала, МГц	f_{CI}	0,001	120	—	—
9 Диапазон входной частоты PLL, МГц	f_{PLL}	10	100	—	—
10 Диапазон опорных напряжений ЦАП, В	$U_{REF \text{ DAC}}$	1,5	U_{CC2}	—	—

Назначение выводов в корпусе

Назначение выводов микроконтроллера K1921BГ11Т в корпусе LQFP-100 с приведением аналоговых функций и альтернативных функций портов изображено на рисунке 3.

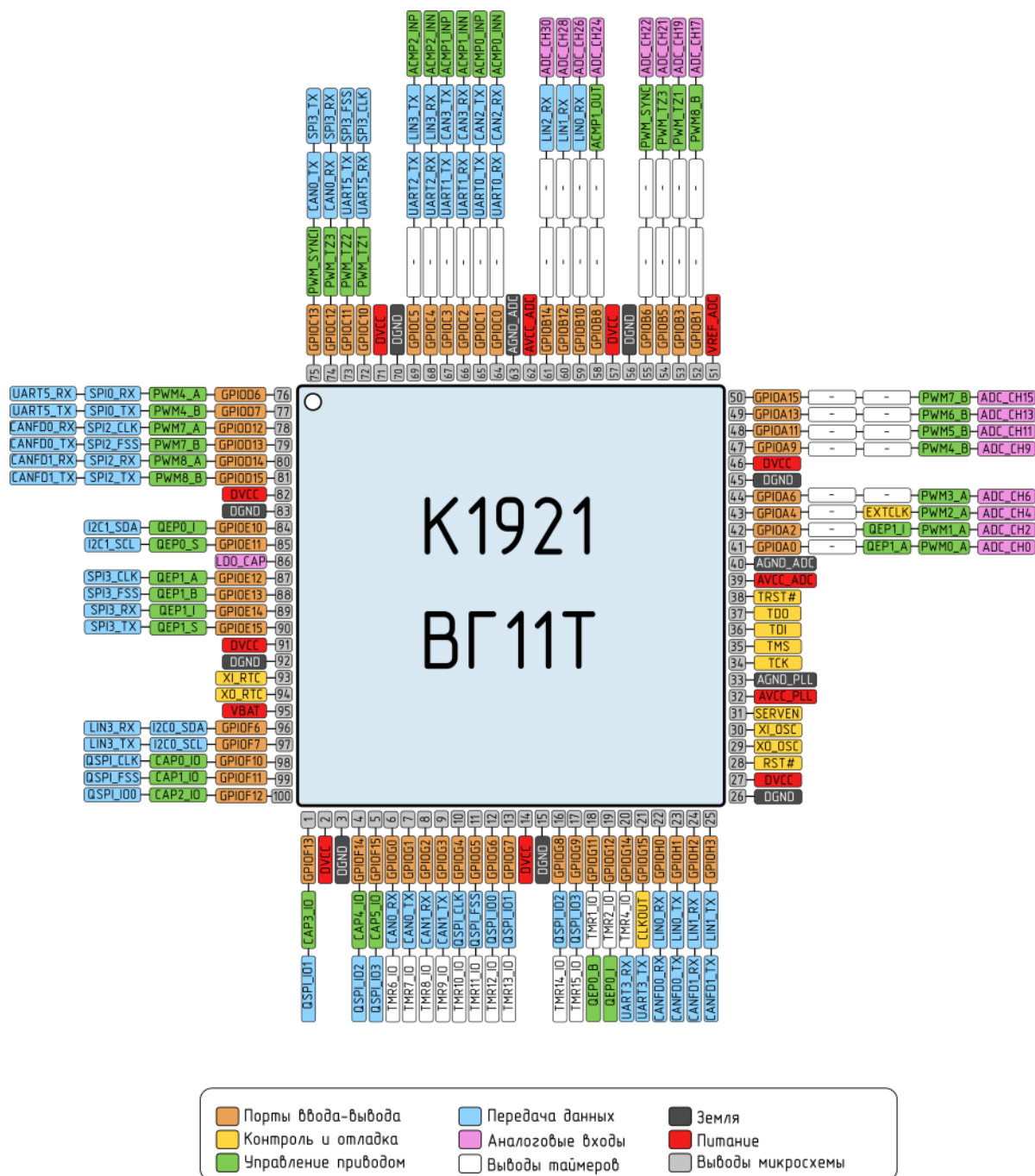


Рисунок 3 – Назначение выводов микроконтроллера K1921BГ11Т в корпусе LQFP-100